

PAT-NO: **JP404024928A**  
DOCUMENT-IDENTIFIER: JP 04024928 A  
TITLE: SEMICONDUCTOR ELEMENT  
PUBN-DATE: January 28, 1992

INVENTOR-INFORMATION:  
NAME  
NISHIGUCHI, KATSUNORI

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
SUMITOMO ELECTRIC IND LTD N/A

APPL-NO: JP02125758

APPL-DATE: May 16, 1990

INT-CL (IPC): H01L021/52

US-CL-CURRENT: 29/876, 438/100 , 438/FOR.364

**ABSTRACT:**

**PURPOSE:** To accurately align by providing at least a pair of electrodes to be disposed at a point symmetry to the center of a circuit forming part of a semiconductor element in a plurality of electrodes, and forming of a different flat surface state to be pattern-recognized with the other electrode.

**CONSTITUTION:** An active area 2 is formed in a rectangular shape similar to the profile of a chip 1, a plurality of bonding pads 4 of electrodes are formed at an equal interval on the peripheral edge, the pads 4 are formed in a square shape, but only four different type bonding pads 4a, 4a, 4a, 4a disposed at four corners are formed in a round flat surface state. Two sets of the pads 4a, 4b are arranged at positions at a point symmetry of 180 degrees to the center of the area 2. The four corners of the area 2 can be recognized by a pattern recognition camera. When it is calculated based on them, the central position or inclining angle of the chip 1 can be simply detected, and if they are corrected, an accurate alignment can be performed.

COPYRIGHT: (C)1992,JPO&Japio

⑯日本国特許庁(JP)

⑪特許出願公開

⑫公開特許公報(A)

平4-24928

⑬Int.Cl.<sup>5</sup>

H 01 L 21/52

識別記号

庁内整理番号

C 9055-4M

⑭公開 平成4年(1992)1月28日

審査請求 未請求 請求項の数 1 (全4頁)

⑤発明の名称 半導体素子

⑥特 願 平2-125758

⑦出 願 平2(1990)5月16日

⑧発明者 西口 勝規 神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社  
横浜製作所内

⑨出願人 住友電気工業株式会社 大阪府大阪市中央区北浜4丁目5番33号

⑩代理人 弁理士 長谷川 芳樹 外4名

明細書

[従来の技術]

所定の位置合せ精度が要求される半導体素子(チップ)の実装では、光学的な手法によりチップの位置や角度の検出が行われる。すなわち、一般的には半導体素子の外観形状をパターン認識用のカメラで入力し、これを画像処理してそのエッジを検出し、これに基づいてXY方向および回転方向(θ方向)の位置合せが行われる。

[発明が解決しようとする課題]

ところで位置合せの基準となるチップのエッジ部分は、程度の差こそあるもののダイシングの際にチッピングが生じている。この状態でチップを撮像して画像処理すると、位置合せの基準となるチップのエッジの検出に誤差が生じ易くなり、後の実装に際し位置合せの精度が保てなくなってしまう。もっとも、電子回路が形成されているアクティブエリア内(回路形成部)に何らかのマークを付すようし、これを基準として位置合せすれば上記のような問題は生じない。しかしあクティブエリア内にマーキング用のスペースを用意するこ

1. 発明の名称

半導体素子

2. 特許請求の範囲

周縁に複数の電極部が形成された矩形の半導体素子であって、

前記複数の電極部の内に、当該半導体素子の回路形成部の中心に対し点対称に位置する少なくとも一対の電極部を備え、

当該一対の電極部が、他の電極部とパターン認識可能な異なる平面形態で形成されていることを特徴とする半導体素子。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、基板等への実装に際し位置合せを必要とする半導体素子に関するものである。

とは、その分はチップ全体を大きくしなければならず、またマーキング精度の問題も生じ、この方法は得策でない。

本発明はかかる事情を考慮して為されたものであり、高精度の位置合せを可能にする半導体素子を提供することをその目的としている。

#### 〔課題を解決するための手段〕

本発明は上記目的を達成すべく、周縁に複数の電極部が形成された矩形の半導体素子であって、この複数の電極部の内に、半導体素子の回路形成部の中心に対し点対称に位置する少なくとも一対の電極部を備え、この一対の電極部が、他の電極部とパターン認識可能な異なる平面形態で形成されていることを特徴とする。

#### 〔作用〕

回路形成部の中心に対し、点対称に位置する一対の電極部を備え、この電極部が他の電極部とパターン認識可能な異なる平面形態で形成されているので、この電極部を用いて回路形成部の中心、すなわち半導体素子の中心が検出でき、また、半

導体素子の回転方向の傾き角が検出できる。したがって、これを実装の際の位置合せ基準とするとができる。

一方、回路形成部において電極部は極めて精度良く配設されており、前記中心や傾き角が精度良く検出される。

#### 〔実施例〕

第1図を参照して本発明の第1の実施例に係る半導体素子について説明する。

この半導体素子、すなわちチップ1は回路形成部であるアクティブエリア2と、その周囲に位置するスライブライン3とで平面領域が構成されており、全体が矩形に形成されている。スライブライン3には電子回路は形成されておらず、この領域は単にダイシングの際のダイシング代となっていた部分である。

アクティブエリア2は、チップ1の外形と相似の矩形に形成されている。アクティブエリア2には、その周縁部に等間隔に電極部であるポンディングパッド4が複数形成されており、この部分で

外部と電気的な接続ができるようになっている。

各ポンディングパッド4は角形に形成されているが、四隅に位置する4個の異形ポンディングパッド4a, 4a, 4a, 4aだけは丸形の平面形態となっている。この丸形の異形ポンディングパッド4a, 4a, 4a, 4aは、アクティブエリア2の対角線上に配設され、すなわち2組の異形ポンディングパッド4a, 4aがアクティブエリア2の中心に対し、180度点対称となる位置に配設されている。また、この角形および丸形のポンディングパッド4の相違は、肉眼により認識できるか否かの問題ではなく、位置合せに用いるパターン認識用のカメラ（図示せず）に装備された低倍率のレンズによって認識可能なものとなっている。

このように本実施例では、アクティブエリア2の対角線上に位置している異形ポンディングパッド4a, 4a, 4a, 4aのみを丸形に形成しているので、パターン認識用のカメラによりアクティブエリア2の四隅を認識することができ、これ

に基づいて演算処理すれば簡単にチップ1の中心位置や傾き角度が検出できる。したがって、このチップ1の中心位置および傾き角度を、これが実装される基板等の実装部位の中心位置および傾き角度に対して補正するようにすれば、精度の良い位置合せができる。

また、通常ポンディングパッドの配設間隔は、後のワイヤポンディング等を考慮して極めて精度良く形成されており、これを位置合せの基準とするので、チップ1を精度の良くダイボンドすることができる。

第2図は、本発明の第2の実施例に係る半導体素子である。

この場合、アクティブエリア2の各ポンディングパッド4はすべて角形に形成されているが、アクティブエリア2の各四辺の中間に位置する4個の異形ポンディングパッド4b, 4b, 4b, 4bだけが他に比して大形に形成されている。この大形の異形ポンディングパッド4b, 4b, 4b, 4bは、アクティブエリア2の中心に大き

く十字を描くように配設され、すなわち2組の異形ポンディングパッド4b, 4bがアクティブエリア2の中心に対し、180度点対称となる位置に配設されている。また、この大小2種のポンディングパッド4の相違は、上記実施例と同様に位置合せに用いるパターン認識用のカメラ（図示せず）に装備された低倍率のレンズによって認識可能なものとなっている。

この場合にも上記第1の実施例と同様にこの異形ポンディングパッド4aでチップ1の中心位置や傾き角度が検出できる。

第3図は、本発明の第3の実施例に係る半導体素子である。

この場合、アクティブエリア2の各ポンディングパッド4は角形に形成されているが、アクティブエリア2の長手方向の両端から3個目のに位置する4個の異形ポンディングパッド4c, 4c, 4c, 4cだけは丸形でかつ大型の平面形態となっている。この丸形の異形ポンディングパッド4c, 4c, 4c, 4cは、アクティブエリア2

の中心に大きくX字を描くように配設され、すなわち2組の異形ポンディングパッド4c, 4cがアクティブエリア2の中心に対し、180度点対称となる位置に配設されている。また、この大小2種のポンディングパッド4の相違は、上記実施例と同様に位置合せに用いるパターン認識用のカメラ（図示せず）に装備された低倍率のレンズによって認識可能なものである。この場合にもこの異形ポンディングパッド4cでチップ1の中心位置や傾き角度が検出できる。

なお、以上の実施例にあっては、電極部がポンディングパッド4である半導体素子について説明したが、これに限定されるものではなく、場合によってはこの種の半導体素子以上に位置合せ精度を要求されるバンプを形成した半導体素子に適用することも有用である。また、異形ポンディングパッド4a, 4b, 4cの識別形態を丸形や大形を例に挙げて説明したが、この形態はあくまでもパターン認識用のカメラにより他のポンディングパッドと識別可能であればよく、ポンディングパ

ッドが電極としての機能を満足し得るものであれば、多角形であろうが、梢円形であろうがその形態を問うものではない。

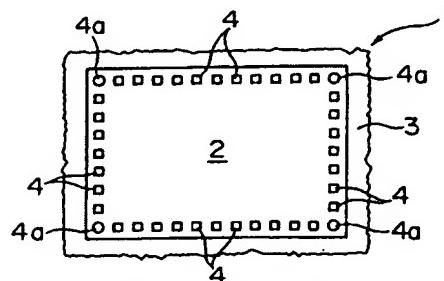
#### 【発明の効果】

以上のように本発明は、光学的に他と識別可能な少なくとも一対の電極部を備え、これらが回路形成部の中心に対し、点対称位置に形成されるようしているので、位置合せ用の基準を極めて簡単に、かつ精度良く設けることができ、実装に際しての位置合せ精度を向上できる効果を有する。

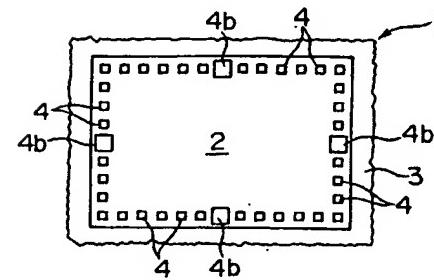
#### 4. 図面の簡単な説明

第1図は本発明に係る半導体素子の第1の実施例の平面図、第2図は本発明に係る半導体素子の第2の実施例の平面図、第3図は本発明に係る半導体素子の第3の実施例の平面図である。

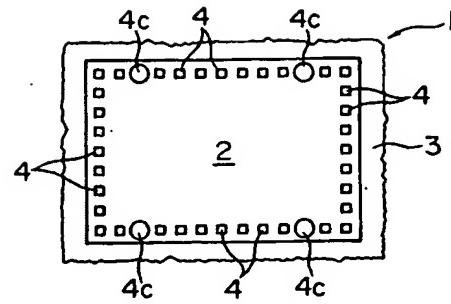
1…チップ、2…アクティブエリア、4…ポンディングパット、4a, 4b, 4c…異形ポンディングパット。



第1実施例の構造  
第1図



第2実施例の構造  
第2図



第3実施例の構造  
第3図